

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(5) InCL'	識別記号	PI	チーコード (参考)
G01R 31/28		G11C 29/00	671B 2G032
31/3155			675L 5L106
G11C 29/00	671	G01R 31/28	V
675			W
			B

審査請求 未請求 請求項の数14 OL (全17頁) 最終頁に続く

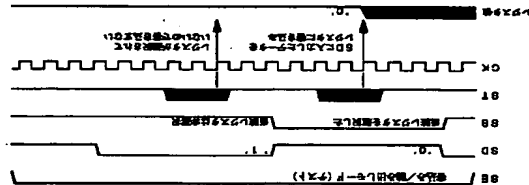
(21) 出願番号	特開2000-371585(P2000-371585)	(71) 出願人	000005108 株式会社日立製作所
(22) 出願日	平成12年12月6日 (2000.12.6)	(71) 出願人	000233169 東京都千代田区神田豊河台四丁目6番地 株式会社日立製作所
		(72) 発明者	林 秀樹 東京都小平市上水本町5丁目22番1号 株式会社日立製作所 ズ内
		(74) 代理人	100061938 弁理士 徳若 光政

(54) 【発明の名称】 半導体集積回路装置とそのテスト方法

(57) 【要約】

【課題】 高密度で高性能及び高信頼性とテスト時間の短縮化を図った半導体集積回路装置とそのテスト方法を提供する。

【解決手段】 クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を備え、上記第1のラッチ回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数に設定されたクロック信号を上記内部回路に供給し、上記第1のラッチ回路へのテストパターンを入力し、かかるテストパターンに対応した第2のラッチ回路の出力信号をシリアルに各ラッチ回路に出力させることを特徴とする半導体集積回路装置。



【特許請求の範囲】

【請求項1】 クロック信号に従って動作する内部回路と、

上記内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路とを備え、

上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズの周波数よりも高い周波数に設定されたクロック信号を上記内部回路に供給し、

上記第1のラッチ回路へのテストパターンを入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記内部回路は、内蔵されたメモリ回路であり、上記テストパターンは、上記メモリ回路に供給されるアドレス信号と動作制御信号とを含み、

上記第2のラッチ回路に取り込まれる出力信号は、メモリ回路の読み出し信号であることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、

上記テスト動作のときのクロック信号は、上記メモリ回路の通常の動作状態に対応した周波数であることを特徴とする半導体集積回路装置。

【請求項4】 請求項2又は3において、

上記テスト回路は、内蔵されたメモリ回路と、上記メモリ回路に供給されるテストパターンとその期待値を生成するテストパターン生成回路と、上記第1のラッチ回路に保持されたテストパターンの入力信号と、通常動作のときの入力信号とを切り替える切替回路と、上記メモリ回路から読み出された第2のラッチ回路の出力信号と上記期待値とを比較する比較判定回路とを更に含むことを特徴とする半導体集積回路装置。

【請求項5】 請求項4において、

上記テスト回路は、

上記比較判定回路の判定出力とメモリ回路に入力されるアドレス信号とを受けて教済を要する教済解析回路と、

上記教済解析回路での教済アドレスを保持する教済アドレスレジスタとを更に備えることを特徴とする半導体集積回路装置。

【請求項6】 請求項4又は5において、

上記メモリ回路は、上記期待値のメモリ回路のうち、テスト対象のメモリ回路を指定するメモリ選択回路を更に備え、かかるメモリ選択回路で選択されたメモリに対して上記テスト動作が実施されることを特徴とする半導体集積回路装置。

集積回路装置。

【請求項7】 請求項1において、

上記内部回路は、論理回路であり、

上記第1と第2のラッチ回路は、上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込まれてなることを特徴とする半導体集積回路装置のテスト方法。

【請求項8】 請求項7において、

上記テスト動作のときのクロック信号は、上記内部回路の通常の動作状態に対応した周波数であることを特徴とする半導体集積回路装置。

【請求項9】 請求項7又は8において、

上記テスト回路は、上記論理回路の入力部に設けられた第1のラッチ回路に供給される入力信号を形成する擬似乱数発生器と、上記論理回路の出力信号を保持する第2のラッチ回路の出力信号を受ける応答遅延器とを更に含むことを特徴とする半導体集積回路装置。

【請求項10】 請求項9において、

上記内部回路の論理回路は複数のブロックに分けられ、上記テスト回路は、

上記各ブロック内の複数のフリップフロップ回路を、上記第1と第2のラッチ回路を介して直列形態に接続し、

それらに対応した上記擬似乱数発生器からシリアルに第1のラッチ回路にテストパターンを入力し、かかるテストパターンに対応した第2のラッチ回路の出力信号をシリアルに各ラッチ回路に出力させることを特徴とする半導体集積回路装置。

【請求項11】 クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、

上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズの周波数よりも高い周波数に設定されたクロック信号を上記内部回路に供給し、

上記第1のラッチ回路へのテストパターンを入力し、かかるテストパターンに対応した第2のラッチ回路の出力信号をシリアルに各ラッチ回路に出力させることを特徴とする半導体集積回路装置。

【請求項12】 請求項11において、

上記内部回路は、内蔵されたメモリ回路であり、上記テストパターンは、メモリ回路に供給されるアドレス信号と動作制御信号とを含み、

上記第2のラッチ回路に取り込まれる出力信号は、メモリ回路の読み出し信号であることを特徴とする半導体集積回路装置のテスト方法。

【請求項13】 請求項11において、

上記内部回路は、論理回路であり、

上記第1と第2のラッチ回路は、上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込まれてなることを特徴とする半導体集積回路装置のテスト方法。

【請求項14】 請求項12又は13において、

上記テスト動作のときのクロック信号は、上記内部回路の通常の動作状態に対応した周波数であることを特徴とする半導体集積回路装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体集積回路装置とそのテスト方法に関し、特に高周波数のクロック信号で動作する大規模集積回路装置とそのテスト方法に利用して有効な技術に属するものである。

【0002】

【従来の技術】 大規模集積回路（LSI）に搭載されたRAM（ランダム・アクセス・メモリ）をテスト回路BISTを用いてテストするテスト方法として、米国特許第5,173,906号、日本特許第2,614,413号がある。上記のテスト方法では、テスト回路BISTにスキャン回路付きフリップフロップ回路を用いることを提案している。したがって、上記のテスト方法は、

(1) スキャン回路を用いてRAM-BISTへの設定波数のクロックをLSIに印加し、RAM-BISTを用いたRAMテストを行なう、(3) スキャン回路を用いて（遅いサイクルで）テスト結果を回収するという手順が用いられる。

【0003】 上記のように従来技術では、評価テストの処理能力を超える高い周波数サイクルでRAMテストを行なう場合、まず最初に評価テストの処理する周波数のサイクルでクロックを印加して、RAM-BISTのレジスタに対して設定を行ない、しかる後に、クロックサイクルをRAMをテストしたい周波数に高速化する、もしくは、1度クロックを停止させた後にあらためて所望の周波数のクロックを印加し、RAMテストを行なう。また、RAMテスト後のテスト結果回収のために、RAMテストを行なったクロックサイクルの周波数を評価テストの処理する周波数のサイクルに減速させる。または、1度クロックを停止させた後に、あらためて評価テストの処理する周波数サイクルのクロックを印加して、RAMテスト結果が格納されているレジスタの値を回収する。

【0004】

【発明が解決しようとする課題】 近年のLSI内素子の高密度化と各種動作の動作高速化により、LSIの動作電源ノイズは増加する方向にある。本発明者等において、クロック印加開始時と停止時には、電源に対するLSIのインピーダンスが急変するので大きな電源ノイズが発生することを思い出した。この電源ノイズは、LSI

ズが電源端子での配線抵抗、寄生容量あるいは寄生インダクタンス成分からなる共振回路において、共振周波数（約10MHz）より高い動作周波数のクロック信号では、かかる高い周波数に「追従できなくなる」ことからノイズ振幅が減少すると考えられる。実際に、LSIの動作サイクル800MHzで測定した電源ノイズは数十mV程度にしかならなかったが、実験で確かめられた。このことを利用して、本発明者等においては、高密度、高性能の半導体集積回路装置とそのテスト方法の開発に至った。

【0008】 この発明の目的は、高密度で高性能及び高信頼性を現した半導体集積回路装置とそのテスト方法を提供することにある。この発明の他の目的は、高密度で高性能及び高信頼性とテスト時間の短縮化を図った半導体集積回路装置とそのテスト方法を提供することにある。この発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を備え、上記テスト回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路のクロック信号として供給し、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路へ保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行う。

【0010】 本願において開示される発明のうち他の代表的なものとの概要を簡単に説明すれば、下記の通りである。クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給し、上記第1のラッチ回路へのテストパターンへの入力動作と、上記第2のラッチ回路へ保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行う。

【0011】

【発明の実施の形態】 図1には、この発明に係る半導体集積回路装置に設けられるテスト回路の一実施例の概略ブロック図が示されている。この実施例では、半導体集

積回路装置LSI1に形成される図示しない内部回路、例えば論理回路やメモリ回路に直接的にテストパターンを入力し、かかるテストパターンに対応した出力信号を取り込むレジスタ(a)ないし(d)と、そのレジスタの選択回路を構成するレジスタアドレス生成カウンタ、及びレジスタアドレスデコーダからなるテスト回路が設けられる。

【0012】 上記レジスタ(a)ないし(d)は、論理回路をテストする場合には論理回路の入力と出力の間、試験回路のフリップフロップ回路、メモリ回路をテストする場合には入力信号や出力信号を保持するフリップフロップ回路としての機能と、上記テスト動作のためのテストパターンの入力及びかかるテストパターンに対応した論理回路の出力信号あるいはテストパターンに対応したメモリ回路の読み出し信号を取り込む機能とを併せ持つものである。

【0013】 データ入力信号、インピーダンス、書き込みトリガ信号及びカウンタアップ信号とカウンタリセット信号は、テスト用の入力信号とされる。カウンタリセット信号によりレジスタアドレス生成カウンタをリセットさせ、カウンタアップ信号を供給すると、レジスタアドレス生成カウンタの計数動作に対応してレジスタ(a)ないし(d)を選択するレジスタアドレスを生成する。レジスタアドレスデコーダは、上記レジスタアドレスを解読し、例えば計数動作に対応させてレジスタ(a)ないし(d)の選択信号を形成する。

【0014】 レジスタ(a)ないし(d)のSD（セットデータ入力）端子は、共通に接続されて上記データ入力信号が供給される。レジスタ(a)ないし(d)のSE（セットインピーダンス）端子は、共通に接続されて上記インピーダンス信号が供給される。レジスタ(a)ないし(d)のST（セットトリガ）端子は、共通に接続されて上記書き込みトリガ信号が供給される。上記レジスタ(a)ないし(d)のSS（セットセレクト）端子は、上記レジスタアドレスデコーダにより形成されたレジスタ選択信号がそれぞれに供給される。そして、半導体集積回路装置LSI1には、システムクロックが供給される。

【0015】 インピーダンス信号を有効として上記レジスタ(a)ないし(d)をテストモードに設定し、上記のようにカウンタリセット信号によりレジスタアドレス生成カウンタをリセットさせ、カウンタアップ信号を供給してレジスタ(a)ないし(d)を順次に選択し、かかるカウンタアップ信号に対応させてデータ入力からテストパターンを入力し、書き込みトリガ信号を供給すると、シリアルに入力されたテストパターンはレジスタ(a)ないし(d)に順次に書き込まれる。

【0016】 上記インピーダンス信号を無効にすると、上記レジスタ(a)ないし(d)は前記テストの対象である論理回路やメモリ回路に対してテストパターンを入力し、かかるテストパターンに対応した出力信号を保持する。つま

り、このような動作は、上記システムクロックに対応したシーケンス動作によって行われる。

【0017】上記イネーブル信号を有効にして再びテストモードに設定し、上記のようにカウンタリセット信号によりレジスタアドレス生成カウンタをリセットさせ、カウンタアップ信号を供給してレジスタ(a)～(d)の順次に選択すると、データアウトアドレスに対応してOR(論理和)を介してデータ出力がシリアルに母れられる。この論理和ORは、レジスタ(a)～(d)のCQ(キャプチャデータ出力)端子を共通に接続したワイヤード論理によっても構成することができ。

【0018】上記のように図1の実施例では、レジスタ回路を用いた書き込み/読み出し制御回路であり、例えばRAM-BISTを実行する前に値を設定する必要のあるレジスタ、または、RAM-BIST終了後に値を書き出す必要のあるレジスタ(a)(b)(c)(d)に対して、書き込み、または読み出しを可能としたものである。レジスタ(a)(b)(c)(d)の選

択は、レジスタアドレスを生成するカウンタと、レジスタアドレスデコードによって形成された信号のハイレベル('H')をレジスタのSS端子に与えることによりなされる。システムクロック入力ピンは、高速なパルスエネレータに接続され、RAMテストで必要とする任意の周波数のクロックパルスが印加され、これに対して、データ入カ、イネーブル、書き込みトリガ、カウンタリセット、書き込み出力ピンは、レジスタと接続され、LSIテストの処理しうる周波数のサイクルで制御が行われる。

【0019】図2には、この発明に用いられるレジスタの基本回路の実施例が示されている。この実施例で用いられるレジスタは全てMUX-SCAN方式で自動診断可能なデータイネーブル(DE)付きフリップフロップ(F/F)である。ここでMUX-SCAN方式のフリップフロップは、この発明に用いられるレジスタの論理診断方式とこの発明に係るテスト回路ないしテスト方法との互換性可能であることを示すものである。したがって、LSIの診断方式をMUX-SCAN方式に限るものではなく、他の診断方式(例えばLSI方式)であつても構わない。また、特にLSI診断を必要としないならば、診断なしDとしてみても構わない。

【0020】図2において、SEN(スキャンイネーブル: Scan Enable)端子、SID(スキャンアウトデータ: Scan Out Data)端子、SOD(スキャンインデータ: Scan In Data)端子、SOD(スキャンアウトデータ: Scan Out Data)端子、MUX-SCAN方式で自動診断を行なうために必要な診断ピンである。また、CKはLSIのシステムクロックである。これらのピンは説明の簡略化のため、以降省略してあらわすこととする。

【0021】図2において、DE(データイネーブル: Data Enable)をハイレベル(論理1)にすると、マルチプレクサがD(データイン: Data In)端子からの信号を

取り込み、ロウレベル(論理0)ならQ(データアウト: Data Out)の信号を取り込む。上記SEN(スキャンイネーブル)端子をハイレベル(論理1)にすると、マルチプレクサがSID(スキャンインデータ)端子からの信号を取り込み、ロウレベル(論理0)ならSOD(スキャンアウトデータ)端子を取り込み、そして、CK(クロック: Clock)のハイレベル(論理1)により入力側のラッチ回路をスルー状態にして直前に取り込まれたデータのラッチ回路をラッチ状態にして直前に取り込まれたデータを保持する。CKのロウレベル(論理0)により、入力側のラッチ回路をラッチ状態にして取り込んだデータを保持し、出力側のラッチ回路はスルー状態とされて入力側の出力信号の取り込みを行う。

【0022】上記図1のレジスタは、DE及びSENを論理0にすれば、データ端子Dからの信号の取り込みと保持を上記クロック信号CKに動作して実施するものであり、通常の論理シーケンスを実行する。DEとDENを論理1にすれば、SIDからのテストパターン用のスキャンインと、保持されたデータのスクランブルを実行することができ。

【0023】図3には、この発明に用いられるレジスタの一実施例のブロック図が示されている。(A)は書き込み/読み出し可能レジスタであり、(B)は書き込み可能レジスタであり、(C)は読み出し可能レジスタである。(A)の書き込み/読み出しレジスタは、テストパタンの入力と、かかるテストパターンに対応した出力値の取り込みが可能とされる。(B)の書き込み可能レジスタは、例えばメモリ回路のようなアドレス信号の用にテスト対象回路に対して入力信号のみを供給する場合に用いられる。(C)の読み出しレジスタは、論理回路やメモリ回路の出力信号のみを取り込む場合に用いられる。

【0024】図3の各レジスタ(A)ないし(C)において、ブラックボックスで示したレジスタは、前記図2の回路から構成される。同図では、端子D、DE及びQの信号が代表として例示的に示され、前記スキャンインやスキャンアウトに関連する端子SID、SEN、SODは省略されている。クロック端子は三角により表している。

【0025】図3(A)では、2つのマルチプレクサと2つの論理和ゲート回路が追加される。つまり、SE(セットイネーブル: Set Enable)により制御されるマルチプレクサにより前記D(データイン)とSID(セットデータイン: Set Data In)とがレジスタのD端子に入力される。また、上記SE(セットイネーブル)により制御されるマルチプレクサにより前記DE(データイネーブル)と、SID(セットトリガ: Set Trigger)とSS(セットクレート: Set Select)との論理和がレジスタのDE端子に供給される。そして、レジスタからのQ(データアウト)信号が、上記SS(セットセレクト)

により制御される論理和ゲートを介してCQ(キャプチャデータアウト: Capture Data Out)として出力される。図3(B)では、(A)の構成に対してCQ(キャプチャデータアウト)を出力する回路が削除される。図3(C)では、(A)の構成に対してSIDとSTによる入力回路が削除される。

【0026】図3(A)ないし(C)のレジスタは、テスト回路BISTに対する設定やテスト結果の読み出し制御をシステムクロックと、それより低い周波数にされた信号SE、ST及びSSとに対応させて行なう。つまり、システムクロックをレジスタに対して高速で、書き込み/読み出しをシステムクロックに対してあたかも非同期的であるようにLSIテストの処理しうる周波数のサイクルで行うようにされる。以下の説明において、上記のようなシステムクロックに対してあたかも非同期的で行う動作を、便宜上「擬似的クロック非同同期動作」のように表現するものである。

【0027】RAM-BISTの全てのレジスタに対して図3(A)の構成にすることが可能である。しかし、回路規模、レイアウトサイズを考慮すれば、書き込みが必要なレジスタ、読み出しが必要なレジスタ、両方が必要なレジスタ、両方とも必要としないレジスタに分類して、図2、図3(A)～(C)の回路を使い分けことが合理的である。

【0028】図3のレジスタにおいて、書き込み動作について説明する。SE(セットイネーブル)信号は、レジスタに対して、通常動作を行なわせるかを選択する信号である。SE信号に対してロウレベル('L')を入力した場合、レジスタは通常のレジスタとして動作を行なう。つまり、図3のレジスタのSEに'L'を入力した場合、図2の回路と等価である。SEに対して'H'を入力した場合、前記「擬似的クロック非同同期書き込み」モードとなる。つまり、D、DEの信号を受け付けない状態となる。

【0029】SD(セットデータイン)は、「擬似的クロック非同同期書き込み」モードにおける、レジスタ書き込みデータである。つまり、書き込みたい信号(テストパターン)をSIDに入力する。SS(セットセレクト)は、「擬似的クロック非同同期書き込み」モードにおけるレジスタ選択信号である。つまり、SSがハイレベル('H')の時、レジスタが選択される。ST(セットトリガ)は、「擬似的クロック非同同期書き込み」モードにおけるレジスタ書き込みトリガ信号である。つまり、パルス入力高レベル('H')の時、上記SIDに入力されたデータがレジスタに書き込まれる。

【0030】図4には、図3のレジスタの動作の一例を説明するためのタイミング図が示されている。図4のタ

イミングでは、図3では省略したCK(システムクロック)入力信号が記述されていることに注目されたい。図3のレジスタの核の部分は図2と同じものであり、したがって、図3のレジスタにおいてもクロックによつて同期化された回路である。

【0031】図3の実施例回路は、図4のタイミング図から明らかなように、レジスタに対しては、上記のようなシステムクロックCKが印加されているにもかかわらず、SS='H'(レジスタを選択)かつST='L'(書き込みを許可)した場合以外に、書き込み動作は発生しない。したがって、ST信号の'1'パルス幅がシステムクロックCKのサイクルに対して十分に広い場合において、システムクロックCKの動作周波数にかかわらず、ST信号トリガパルスのサイクルによって制御できることが判る。

【0032】上記により、前記50.0MHz～80.0MHzのような高速サイクルのクロックCKが印加されている状態においても、クロックの周波数を落とすことなく、テスト処理可能な低い周波数に適合された遅い周波数とされた前記「擬似的クロック非同同期書き込み」制御が実現できる。

【0033】図4において、SEをハイレベル('H')とした書き込み/読み出しモード(テスト)は、前記のような「擬似的クロック非同同期動作モード」に対応したものである。SIDに(論理0)としてテストパターンを入力し、SSをハイレベルにして当該レジスタを選択する。そして、STをハイレベルにすると、クロック信号CKに同期して上記SIDの論理0がレジスタに書き込まれる。このとき、クロックCKの周波数が高いので、上記ST信号がハイレベルである期間内においてかかるクロックCKに同期して上記SIDから入力されたテストパターンである論理0が複数回にわたって書き込まれる。つまり、同じデータが何回か書き込まれる。

【0034】SDをハイレベル(論理1)にし、SSをロウレベルにして当該レジスタを選択すると、STをハイレベルにしても当該レジスタが非選択であるので上記SIDから入力された論理1のテストパターンが書き込まれてしまうことはない。つまり、このときには、SSによって選択された別のレジスタに対して上記SIDから入力された論理1のテストパターンに同期してSTがハイレベルの期間、クロック信号CKに同期して何回か繰り返して書き込まれる。上記SSのアドレスキャンに対応してレジスタが順次に選択されることに付して、上記SIDに入力されるテストパターンがシリアルに各レジスタにセットされる。

【0035】図5には、前記図1の実施例回路の動作の一例を説明するためのタイミング図が示されている。イネーブル信号がハイレベルの期間は、書き込み/読み出しモード(テスト)とされ、前記のような「擬似的クロ

ック非同期 き込み) 制御によって、L.S.Iステータの処理しうる周波数のサイクルに対応したカウンタリセット値とカウンタアップ値によりレジスタアドレスを生成し、レジスタ (a) と (b) を順次に選択し、それに対応させてデータ入力から論理 1、論理 0 のステータと書き込みトリガを入力する。これにより、レジスタ (a) と (b) は論理 1 が、レジスタ (b) は論理 0 のステータトバタンがシリアルに入力される。

【0036】 イネーブル信号をロフレベルにすると、通常モードとなつてRAMテストが実施される。つまり、RAMに對しては前記レジスタ (a)、(b) にセットされたステータトバタンに對してメモリアクセスが行われ、このメモリアクセスにより例えばレジスタ (c) や (d) には読み出しデータが出力される。

【0037】 イネーブル信号を再びハイレベルすると、書き込みノック出しモード (テスト) とされ、前記のような「模範的クロック非同期読み出し」制御によって、L.S.Iステータの処理しうる周波数のサイクルに對したカウンタアップ値によりレジスタアドレスを生成し、レジスタ (c) と (d) を順次に選択し、それに対応させてデータ出力から前記ステータトバタンに對した読み出し信号をシリアルに出力される。

【0038】 図1及び図5に示した実施例では、イネーブルなし き込みトリガ等の各制御ピン、およびデータ出力ピンをL.S.Iピンとし、L.S.Iステータによって直接的に制御、出力判定するものとして示したが、例えばこれをJTAGインターフェイス等を用いて間接的に制御することも可能である。

【0039】 図6には、この発明に係る半導体集積回路装置の一実施例のブロック図が示されている。この実施例は、RAM-BISTに組み込んだ半導体集積回路装置に向けられている。この実施例の半導体集積回路装置は、以下の各回路ブロックにより構成される。

【0040】 1はRAMテストバタン生成回路であり、2はテスト対象RAM選択回路である。つまり、1つの半導体集積回路装置に複数のRAMが搭載された場合、各RAM毎に同じテストバタン生成回路1で生成したテストバタンを用い、上記テスト対象RAM選択回路により指定される複数のRAMを順次に切り替えてテストを実施するものである。

【0041】 3は、切替回路であり、テスト動作-レジスタム動作との切替動作を行う。つまり、切替回路3は、RAM14に對して一般動作で形成された信号による通常のメモリアクセスと、テストバタン生成回路1で生成されたテストバタンによるメモリアクセスとの切替を行なう。4はRAM出力と出力期間値とを比較する判定回路であり、出力期間値は上記テストバタン生成回路1により形成されたものが伝えられる。5は、判定レジスタであり、上記判定回路4の判定結果 (テスト結果) を格納するレジスタである。

【0042】 6は、教済解析回路であり、不良RAMアドレスからフェューズによるRAM欠陥教済方法 (教済アドレス) を計算する。この教済解析回路6で計算された教済アドレスは、教済アドレスレジスタ7に格納される。8は不良アドレスを記憶するフェューズ回路である。フェューズデータ転送制御回路9は、上記フェューズ回路の不良アドレスデータをRAM14に転送する。

【0043】 10はレジスタアドレス生成回路であり、テスト対象RAM選択回路2、テストバタン生成回路1、判定レジスタ5及び教済アドレスレジスタ7を構成するレジスタのアドレスを生成する。アドレスデコード回路11は、上記アドレス信号を解読して上記レジスタの選択信号を形成する。12は、各レジスタの出力信号の論理和を取るOR回路であり、選択されたレジスタの結果出力を行う。13は、コントロール回路であり、以上のRAM-BISTの各要素回路の動作を制御する。RAM14は、テスト対象のメモリ回路である。なお、P.L.Iはクロックを選択的に分周して、MUX-IN、MUX-CによるMUX-SCAN方式での試験を行うときのシステムクロックを形成する。

【0044】 図6のRAM-BIST回路では、RAM-BISTの制御をコントロール回路13が統括する。

コントロール回路13は動作モードで制御される。図6のRAM-BIST回路でのRAMテストを行う手順は以下の通りである。システムクロックを印加する。クロック周波数はRAMテストを行なうための任意の周波数、例えば模範的動作周波数に對した高い周波数とされ、RAM-BISTによる動作終了まで停止する必要がなく継続的に供給される。

【0045】 動作モードを「レジスタ設定モード」にする。RAM-BIST回路によるRAMテストを行なうために、以下の各回路のレジスタに對して条件 (テストバタン) が設定される。RAMテストバタン生成回路1に對しては発生させるテストバタンの内容、テスト対象RAM選択回路2に對してはテストを行なうRAMの選択 (RAMが複数ある場合)、切替回路3に對してはテスト動作を行なうことを設定、判定レジスタ5と教済アドレスレジスタは、初期化される。各レジスタ (図3) の入力ピンS.Eには「H」が設定され、「模範的クロック非同期書き込み」状態にされる。レジスタアドレス生成回路10への設定と、レジスタに對する書き込み方法に對しては前記説明した通りである。

【0046】 動作モードを「RAMテストモード」にする。上記レジスタ (図3) の入力ピンS.Eには「L」が設定され、「通常動作」状態になる。これにより、RAM14には、上記テストバタン生成回路1で生成されたテストバタンによるメモリアクセスが行われる。図6の実施例では、RAMテスト開始トリガ信号が掛けられ、「H」パルスを入力することにより、RAMテストを開始することができる。

【0047】 RAMテストバタン生成回路1では、テストバタンを生成し、切替回路3によりテスト動作を選択し、判定回路4によりRAM出力と出力期間値とを比較し、判定レジスタ5に判定結果 (テスト結果) を格納する。教済解析回路6は、不良RAMアドレス教済アドレスを計算し、教済アドレスレジスタ7に計算された教済アドレスを格納する。「RAMテストモード」では、全ての回路がクロックC.Kの周波数で動作する。

【0048】 動作モードを「レジスタ回収モード」4にする。RAM-BISTによるRAMテスト結果の判定は、以下の各回路のレジスタ値を読み出すことにより行なう。判定レジスタ5は良品/不良品情報、教済アドレスレジスタ7からは教済アドレスが読み出される。各レジスタ (図3) の入力ピンS.Eには「L」が設定され、「模範的クロック非同期動作」状態になる。レジスタのS.Tピンに「H」が入力されなければ、レジスタの内容が書き替えることがない。レジスタアドレス生成回路への設定と、レジスタに對する読み出し方法に對しては前記に説明した通りである。そして、動作モードを「システム動作モード」にする。これに對して切替回路3は、システム動作を選択し、通常システム動作となる。

【0049】 以上に示す様に、この実施例によれば、RAM-BISTによる全ての動作を、一定の周波数のクロックを停止することなく印加し続けられた状態で行なうことができ、クロックの開始、停止、変速による電源ノイズの影響を受けることなく、安定した電源のもとでRAMテストを行なうことができる。

【0050】 なお、本実施例によれば、RAM-BISTの制御回路そのものの動作テストを、MUX-SCAN方式の診断方法で行なうことができる。前記2図に示した基本回路に、MUX-SCAN方式の診断回路が設けられており、それをそのまま利用することができる。

【0051】 この実施例では、電源ノイズの少ない「静かな環境」でL.S.Iのテストを行うためには、クロックを高速 (= 模範動作サイクル) に連続印加して、電源を安定化させてからテストを行なうものである。ただし、高速サイクルで「テストをする」こと自体は容易ではない。現在800MHzのテスト能力をそなえたメモリースタは存在しない。仮に開発することを考慮すると膨大な投資が必要になり、コスト的に見合っていない。

【0052】 もともとBIST回路は、能力の低いテストを使つて高い周波数のL.S.Iテストを行なう目的で設けられるものである。そこで、クロックを停止することなく連続印加した状態により電源を安定化させた状態に保ち、その上でRAMテストの制御、実行、結果回収を低速のテストにより可能とすることにより、超高速L.S.Iとそれに適合したRAM-BIST回路を提供することができ、前記により、本願発明では、RAMテスト

を行なう高速サイクルのクロックを印加したまま、RAM-BISTへの設定動作-RAMテスト動作-テスト結果の回収動作を連続して行なう事ができ、クロックの停止や変速をとまなわないうで、電源が安定した状態、つまりは電源ノイズによるレジスタの誤動作が発生しない状態をRAM-BIST動作を行なうことができるものとなる。

【0053】 この実施例では、L.S.Iの論理診断方式 (たとえば、MUX-SCAN方式) の枠組みの中で実現することが可能であり、RAM-BIST回路自身の動作確認を上記L.S.Iの論理診断方式を使って行なうことが可能である。高速サイクル (= L.S.Iの模範動作サイクル) でのクロック動作を連続的に行ない、L.S.Iの電源を安定させる。つまり、電源系に含まれる共振回路が追従できないような高い周波数のクロック信号を供給させた状態とし、その共振周波数付近で発生する大きなノイズの発生を抑制して電源ノイズが少い環境を作り出す。

【0054】 そして、テスト対象であるL.S.Iの動作速度に比べて、能力の低いテストを使つての低い周波数でのL.S.Iに對するテスト制御 (テストを行なうためのBISTに對する設定やテスト結果の読み出し) は、上記のクロックとは「非同期」つまりは「ゆづくり制御」を行なう手段を持たせることにより、能力の低いテストを使つてもテストが可能である。このテストの能力でのデータ出力は、前記電源回路での共振周波数付近であることが多い。この発明に係るテスト回路及びテスト方法は、わざわざ上記共振周波数帯を避けるためにより速い周波数で動作させることなく、テスト回路の性能を十分に発揮させることができるからテスト時間の短縮化を図る上で有益なものとなる。

【0055】 つまり、上記のような共振周波数よりも低い周波数でのテストのデータ入出力を行うと、その分テスト時間は長くなる。このような低い周波数でのデータ入出力を行うために、前記クロック信号の周波数を低くして出力し、あるいは変速させると前記のような電源ノイズが発生して、レジスタに對してテストバタンの保持ができず、あるいは判定結果の保持ができなくなるが、この発明の適用によってそのような問題も回避することができる。

【0056】 この実施例のように、低速テスト装置を用いて、L.S.Iを高速動作させるためには、上記システムクロックだけは高い周波数のものをL.S.Iに供給する手段が必要になる。この実施例では、L.S.Iに内蔵のP.L.I回路16により前記のような約800MHzのような高周波数のクロック信号が生成される。例えば、P.L.I回路16での分周比を16倍にすれば、低速のテスト装置側が500MHzのようなクロック信号が供給できない能力しか持たないものでも、L.S.I側ではそれに対応した800MHzのような高い周波数のクロック信号

を生成することができ、かかる高速クロックでの動作が可能にされる。

【0057】このようにLSIにPLL回路16を内蔵させることにより、テスト装置での低速なクロック信号の周波数を通信して高いシステムクロック信号を生成し、LSIを動作させることが簡単に行うことができ、しかし、このようなPLL回路16で生成されたシステムクロック信号と、低速なテスト装置の信号との正確な同期を採ることは大変困難になるものである。本発明では、クロック信号に対して非同期でRAM-BISTの制御が可能であるので、この構成によるテストを実現することができ、

【0058】上記のようにクロック信号に対して非同期でのRAM-BISTの制御が可能であることから、前記実施例のPLL回路16に代えて、低速なテスト装置とクロックのみを高速で供給する装置、つまりバリス発生回路との組み合わせとしてもよい。このようなバリス発生回路（バリスジェネレータ装置）は、数GHzのような高い周波数のバリス信号を生成するものが比較的に安価で入手可能であるために、上記バリス発生回路を含めたテスト装置を安価で形成することができる。

【0059】図7には、この説明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例は、LOGIC（論理回路）-BISTに組み込んだ半導体集積回路装置に向けられている。この実施例の半導体集積回路装置は、以下の各回路ブロックにより構成される。

【0060】この実施例では、疑似乱数発生器RAGR（Random Pattern Generation Register）と、応答レジスタMISR（Multiple Input Signature Register）が設けられる。これらの疑似乱数発生器RAGRや応答レジスタMISRに設けられたレジスタに対しては、前記図6のRAM-BISTで示したのと同じようにLSIのクロック（LSIマシナサイクル）を供給した状態で、それよりも遅い周波数での書き込みや読み出しを行う手段が設けられる。

【0061】つまり、図示しないレジスタアドレス生成カウンタで形成されたレジスタ選択アドレスをデコードで解読し、各レジスタのLSI端子に入力する。そして、前記のようなレジスタ書き込みデータをLSI端子に供給し、レジスタ書き込みデータをLSI端子に供給し、BIST制御回路により形成されたレジスタ書き込みトリガをLSI端子に供給する。

【0062】疑似乱数発生器RAGRは、このようなレジスタへの書き込みデータを基にしてRAGR論理回路20によりテストパターンを生成する。この実施例では、BISTテスト対象である一般論理21が複数ブロックに分けられる。そして、かかる一般論理の入力と出力との間に設けられるフリップフロップ回路に前記のようなテスト入力機能と出力機能が設けられたテスト対象FF

（前記図3のレジスタ）が用いられる。

【0063】前記ブロック分割された一般論理21に対応したテスト対象FF（レジスタ）は、各ブロック毎にテスト入力SIOと出力SODとを用いてシリアルに接続される。したがって、前記疑似乱数発生器RAGRも上記ブロック分割に対応して複数個が設けられる。同様に、上記ブロック分割されたテスト対象FF（レジスタ）に対して、応答レジスタMISRも複数個が設けられる。上記疑似乱数発生器RAGRと応答レジスタMISRそのものは、公知であるのでその詳細な説明は省略する。

【0064】この実施例のLOGIC-BISTの動作を図8のタイミング図を参照して次に説明する。疑似乱数発生器RAGRと応答レジスタMISRに対する制御、つまりはRAGRとMISR内のFF（レジスタ）の書き込み/読み出しは、レジスタ書き込みデータ信号（SID）、レジスタ書き込みイネーブル信号（SE）、レジスタ選択アドレス信号（SS）とレジスタ書き込みトリガ信号（ST）によって前記実施例と同様に行われる。

【0065】このような設定動作が終了すると、BIST開始信号によりBIST動作に移行する。このBIST動作では、まずスキャンイン動作が実施される。上記疑似乱数発生器RAGRで発生されたテストパターン、LSIの論理回路の全てのテスト対象FFにMUX-SCAN制御によってシリアルに伝送される。このとき、レジスタ書き込みトリガSTは、クロックに同期して制御する必要があるため、モード選択信号およびBIST開始トリガ信号を入力とするBIST制御回路によって生成される。

【0066】上記のようなスキャンイン動作が終了すると、BIST制御回路はシステムクロックの1周期だけMUX-スキャン制御信号をロウレベルにする。これにより、上記テスト対象FFの入力は、前記MUX-スキャンチェーンから一般論理21側に切り替えられて論理動作を実施し、その出力信号が上記テスト対象FFに保持される。そして、上記MUX-スキャン制御信号をハイレベルにすることにより、スキャンアウト動作に移行して上記一般論理21の出力信号がシリアルに応答レジスタMISRのLSI端子に書き込まれる。また、図7のデータがMISR内FF（レジスタ）に保持される。そして、レジスタ書き込みイネーブル信号をハイレベルにすることにより、MISRの読み出しを前記レジスタ選択アドレス信号（SS）を用いて行う。

【0067】この実施例のLOGIC-BISTは、前記図6のRAM-BISTと共存できる。また、図7の（一般論理）の中にRAM-BISTを組み込むことが可能である。この場合、RAM-BIST自体の論理診断を、このLOGIC-BISTを使用して行うことができる。

【0068】図9には、この説明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例の半導体集積回路装置は、特に制限されないが、DRAM（ダイナミック型RAM）とSRAM（スタティック型RAM）と、それを制御するためのユーザロージック（User Logic）及びテスト回路BISTとインターフェイス回路JTAGからなる。上記インターフェイス回路JTAGは、クロック端子CLKに同期し、モード設定信号TMS及びテスト入力データTDI及びテスト出力データTDOをシリアルに入出力する。

【0069】DRAMは、特に制限されないが、64Kワード×288ビット（約18、4Mビット）のような大きな記憶容量を持つDRAMコアと、かかるDRAMコアに対して書き込み用に72ビットずつの記憶容量を持つ4つのレジスタと、読み出し用の72ビットずつの記憶容量を持つ4つのレジスタとを備える。SRAMは、その入力動作時のパツファレジスタとしての役割を担い、特に制限されないが、それぞれが128ワード×72ビット持つ書き込み用のポートが4個設けられ、それぞれが128ワード×72ビット持つ読み出し用のポートが4個設けられる。ユーザロージックは、72ビットの単位で入出力する出力ラインターフエイス部と、72ビットずつのデータを上記SRAMとDRAMとの間で伝達するマルチプレクサ等から構成される。

【0070】テスト回路BISTは、ユーザロージック部においてチェーン状にされてレジスタを構成するようになされたラッチ回路に対してシリアルにテストパターンを供給し、ユーザロージック部及びDRAMやSRAMに対する動作を指示する信号をパラレルに送出させるというMUX-SCAN回路と、この説明に係る前記「疑似クロック非同期動作」によるテスト経路を備える。これにより、DRAMやSRAM及びユーザロージックは、必要に応じてMUX-SCAN又は「疑似クロック非同期動作」のいずれかの動作モードによりテスト回路BISTから供給されるテストパターンによって内部回路が動作させられてその判定を行うようにすることができ、

【0071】上記の実施例から得られる作用効果は、下記の通りである。

（1）クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を備え、上記テスト回路において、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数にされたクロック信号を上記内部回路及びテスト回路に継続的に供給した状態で、上記第1のラッチ回路へのテストパターンの入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周期よりも長い周期により行うことによ

り、クロックの開始や停止及び変遷による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができるといふ効果が得られる。

【0072】（2）上記に加えて、上記内部回路をメモリ回路とし、アドレス信号と動作制御信号を含むテストパターンを入力し、第2のラッチ回路にメモリ回路の読み出し信号を取り込むことにより、メモリ回路を内部の論理回路から切り離した単独でのテストを実施することができ、テスト時間の短縮化を図ることができる。

【0073】（3）上記に加えて、上記テスト動作のときのクロック信号を、上記メモリ回路の通常の動作状態に対応した周波数とすることにより、実際の回路動作に則したテストを実施でき、信頼性の高い判定結果を得ることができるという効果が得られる。

【0074】（4）上記に加えて、上記テスト回路と上記メモリ回路に供給されるテストパターンとその期待値を生成するテストパターン生成回路及び上記第1のラッチ回路に保持されたテストパターンの入力と、通常動作のときの入力とを切り替える切替回路、上記メモリ回路から読み出された第2のラッチ回路の出力信号と上記期待値とを比較する比較判定回路とを備えることにより、簡単なテストを用いることができるという効果が得られる。

【0075】（5）上記に加えて、上記テスト回路として、上記比較判定回路の判定出力とメモリ回路に入力されるアドレス信号とを受けて読込を要する判定する救済解除回路と、上記救済解除回路での救済アドレスを保持する救済アドレスレジスタとを更に備えるようにすることによって、メモリ回路に冗長機能を持たせることができるという効果が得られる。

【0076】（6）上記に加えて、上記メモリ回路を複数個とし、上記テスト回路に複数個のメモリ回路のうち、テスト対象のメモリ回路を指定するメモリ選択回路を更に備えるようにすることにより、テスト回路の簡素化を図ることができるという効果が得られる。

【0077】（7）上記に加えて、上記内部回路を論理回路とし、上記第1と第2のラッチ回路を上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込むようにすることにより、少ないテストパターンでの論理回路のテストを実施することができるという効果が得られる。

【0078】（8）上記に加えて、テスト動作のときのクロック信号を上記内部回路の通常の動作状態に対応した周波数とすることにより、実際の回路動作に則したテストを実施でき、信頼性の高い判定結果を得ることができるという効果が得られる。

【0079】（9）上記に加えて、上記テスト回路として上記論理回路の入力部に設けられた第1のラッチ回路に供給される入力信号を形成する疑似乱数発生器と、

上記論理回路の出力信号を保持する第2のラッチ回路の出力信号を受ける応答回路とを更に備えるようにすることにより、簡単なテストを用いて内部論理回路の判定を行うようにすることができるといふ効果が得られる。

【0080】(10) 上記に加えて、内部回路の論理回路を複数のブロックに分け、各ブロック内の複数のフリップフロップ回路を、上記第1と第2のラッチ回路を介して逐列的に接続し、それらに接続された上記類似風数発生器からシリアルに第1のラッチ回路にテストパターンを入力し、かかるテストパターンに対応した第2のラッチ回路の出力信号をシリアルに応答回路に出力させることにより、同時に並列的に論理回路の検証ができるので、テスト時間の短縮化を図ることができるといふ効果が得られる。

【0081】(11) クロック信号に従って動作する内部回路に入力されるテストパターンに動作する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数に設定されたクロック信号を上記内部回路及びテスト回路に供給し、上記第1のラッチ回路へのテストパターンを入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周波数よりも長い周期により行うことにより、クロックの開始や停止及び変遷による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができるという効果が得られる。

【0082】(12) 上記に加えて、上記内部回路をメモリ回路とし、アドレス信号と動作制御信号とを含むテストパターンを入力し、第2のラッチ回路にメモリ回路の読み出し信号を取り込むことにより、メモリ回路を内部の論理回路から切り離した単独でのテストを実施することができ、テスト時間の短縮化を図ることができるといふ効果が得られる。

【0083】(13) 上記に加えて、上記内部回路を論理回路とし、上記第1と第2のラッチ回路を上記論理回路の入力部と出力部に設けられるフリップフロップ回路に組み込むようにすることにより、少ないテストパターンでの論理回路のテストを実施することができるという効果が得られる。

【0084】(14) 上記に加えて、テスト動作のときのクロック信号を上記内部回路の通常の動作状態に対応した周波数にすることにより、実際の回路動作に似たテストを実施でき、信頼性の高い判定結果を得ることができるという効果が得られる。

【0085】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定的なものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、レジ

スタのアドレス生成やその選択は、種々の実施形態を採用することができる。前記レジスタは、MUX-SCAN制御のための入出力機能を省略してもよい。クロック信号の周波数は、テスト環境にあわせて実際の動作状態の周波数よりも低い周波数としてもよい。例えば、半導体ウェハ上にLSIが完成された時点でのブロービングでは、実際の動作状態と同じ高い周波数のクロックの供給が困難な場合には、それよりも低い周波数を供給して動作させるものであってもよい。ただし、そのときの電源系で共振周波数よりも十分に高い周波数であることが必要である。この発明は、論理回路、メモリ回路を含む各種半導体集積回路装置とそのテスト方法に広く利用できるといふ。

【0086】

【発明の効果】 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数に設定されたクロック信号を上記内部回路及びテスト回路に供給し、上記第1のラッチ回路へのテストパターンを入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周波数よりも長い周期により行うことにより、クロックの開始や停止及び変遷による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができる。

【0087】クロック信号に従って動作する内部回路に入力されるテストパターンを保持する第1のラッチ回路及び上記テストパターンに対応した内部回路の出力信号を保持する第2のラッチ回路を含むテスト回路を用い、上記内部回路へのクロック信号の供給開始時に電源線に発生するノイズ周波数よりも高い周波数に設定されたクロック信号を上記内部回路及びテスト回路に供給し、上記第1のラッチ回路へのテストパターンを入力動作と、上記第2のラッチ回路に保持された出力信号の出力動作とを上記クロック信号に対応し、かつその周波数よりも長い周期により行うことにより、クロックの開始や停止及び変遷による大きな電源ノイズの影響を受けることなく、安定した電源のもとでテストを実施することができる。

【図面の簡単な説明】

【図1】 この発明に係る半導体集積回路装置に設けられるテスト回路の一実施例を示す概略ブロック図である。

【図2】 この発明に用いられるレジスタの基本回路の一実施例を示す回路図である。

【図3】 この発明に用いられるレジスタの一実施例を示す回路図である。

すブロック図である。

【図4】 図3のレジスタの動作の一例を説明するためのタイミング図である。

【図5】 図1の実施例回路の動作の一例を説明するためのタイミング図である。

【図6】 この発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図7】 この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

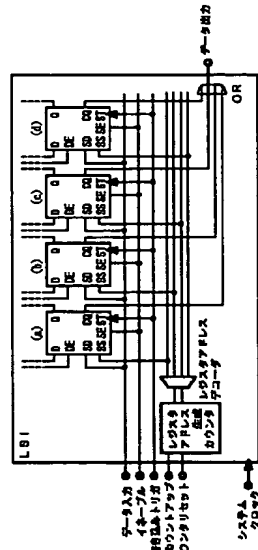
【図8】 図7の実施例を説明するためのタイミング図である。

【図9】 この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

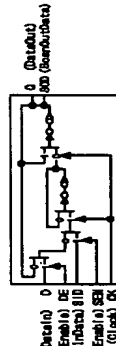
【符号の説明】

1...テストパターン生成回路、2...テスト対象RAM選択回路、3...切替回路、4...比較判定回路、5...判定レジスタ、6...救済解除回路、7...救済アドレスレジスタ、8...フェーズ回路、9...フェーズデマルチプレクサ回路、10...レジスタアドレス生成回路、11...アドレスデコーダ回路、12...オプ回路、13...コントロール回路、14...RAM、15...一般論理、16...PLI、PAG、R...模擬乱数発生器、NIS R...応答回路、SRAM...スタティック型ランダム・アクセス・メモリ、DRAM...ダイナミック型ランダム・アクセス・メモリ、JT AG...インターフェイス回路、BIST...テスト回路。

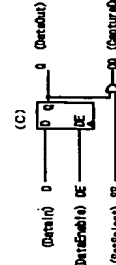
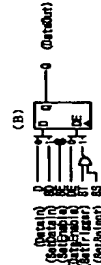
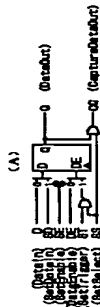
【図1】



【図2】

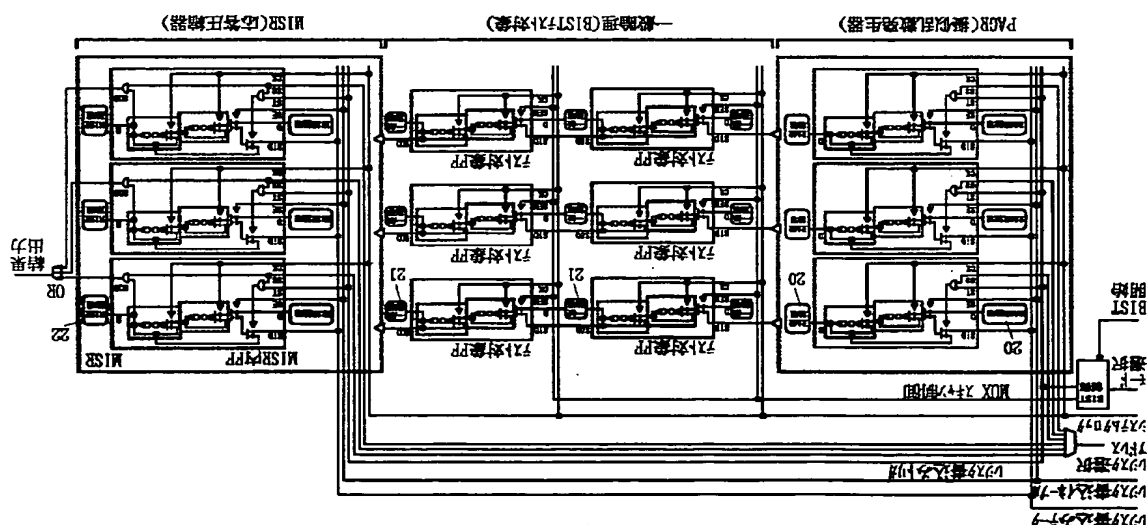
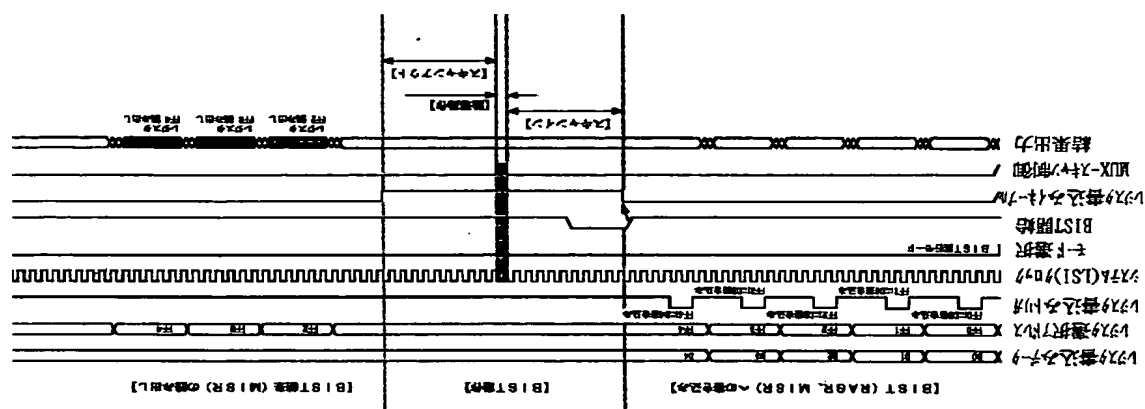


【図3】



【8】

【图7】



(17) 特開平14-174662

フロントページの続き

(51)Int.Cl.⁷ 識別記号 F I 7-マコト (参考)
G 0 1 R 3 1 / 2 8 G

(72)発明者 日下田 恵一
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内
(72)発明者 中原 茂
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センター内
Fターム(参考) 2C032 AA07 AB01 AC03 AE10 AG02
AG10 AK11 AK14 AL00
5L106 DD22 DD23 DD25 GG03